

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-246463
(P2002-246463A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 21/768		H 0 1 L 21/28	M 4 M 1 0 4
21/28			F 5 F 0 3 3
		21/90	D 5 F 0 8 3
27/108			B
21/8242			K
審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2001-35060 (P2001-35060)

(22) 出願日 平成13年2月13日 (2001.2.13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山村 育弘

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100092152

弁理士 服部 毅巖

最終頁に続く

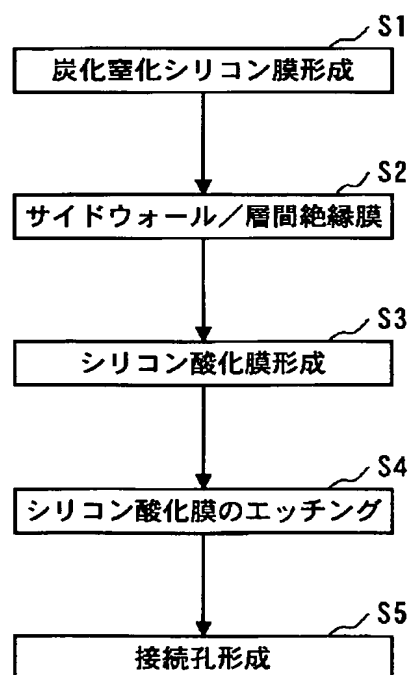
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 半導体装置の接続孔における誤短絡、耐圧不良、および接続孔への金属埋め込み不良を防止する。

【解決手段】 シリコン基板に形成された導体またはダマシン構造の配線の上に炭化窒化シリコン膜を形成し

(S1)、炭化窒化シリコン膜をサイドウォールまたは層間絶縁膜とし (S2)、炭化窒化シリコン膜の上層にシリコン酸化膜を形成し (S3)、下層の炭化窒化シリコン膜をエッチングストップ層として、上層のシリコン酸化膜をエッチングし (S4)、接続孔を形成する (S5)。



1

【特許請求の範囲】

【請求項 1】 シリコン酸化膜をエッチングして接続孔を形成する半導体装置の製造方法において、シリコン基板上に導体を形成し、前記シリコン基板および前記導体の上に炭化窒化シリコン膜を形成し、前記炭化窒化シリコン膜をエッチングして前記導体にサイドウォールを形成し、シリコン酸化膜を形成して、前記炭化窒化シリコン膜をエッチングストップ層として、前記シリコン酸化膜をエッチングして接続孔を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記導体はゲート電極であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記導体はビット線であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 請求項 1 記載の方法で製造した半導体装置。

【請求項 5】 シリコン酸化膜をエッチングして接続孔を形成する半導体装置の製造方法において、絶縁膜に溝を形成して銅配線を形成し、前記絶縁膜および前記銅配線の上に炭化窒化シリコン膜を形成し、前記炭化窒化シリコン膜の上にシリコン酸化膜を形成し、前記炭化窒化シリコン膜をエッチングストップ層として、前記シリコン酸化膜をエッチングして接続孔を形成することを特徴とする半導体装置の製造方法。

【請求項 6】 前記炭化窒化シリコン膜を前記銅配線における銅の拡散防止層とすることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記炭化窒化シリコン膜を層間絶縁膜とすることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 請求項 5 記載の方法で製造した半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に接続孔を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化の目的から、接続孔とその接続孔に接続されるトランジスタの拡散層との相互接続、接続孔と配線との相互接続に余裕度を持たない半導体装置の構造が利用されている。

【0003】 この構造を実現するために、接続孔を構成する絶縁膜を積層構造にし、絶縁膜をそれぞれ選択的にエッチングすることで、接続孔に埋め込む金属と導体部分、例えばゲート電極やビット線などの間の誤短絡、耐

2

圧不良を防止する製造方法が用いられている。

【0004】 積層構造の絶縁膜を選択的にエッチングする方法としては、シリコン酸化膜とシリコン窒化膜の積層構造を用い、シリコン窒化膜に対して選択的にシリコン酸化膜をエッチングする条件で接続孔を形成する方法がある。

【0005】

【発明が解決しようとする課題】 シリコン酸化膜とシリコン窒化膜の積層構造において、選択的にシリコン酸化膜をエッチングして接続孔を形成する方法では、高い選択比でシリコン酸化膜をエッチングできないため、シリコン酸化膜のエッチングの際にシリコン窒化膜までもエッチングしてしまうことがあり、接続孔に誤短絡や耐圧不良が生じるなどの問題があった。

【0006】 例として、トランジスタの拡散層に接続孔を接続する場合について説明する。図 5 は半導体装置の断面の概略を示す図である。図 5 の半導体装置は、シリコン基板 11 上に素子間の電氣的な寄生効果を防止する素子分離膜 12 と、トランジスタのゲート絶縁膜 13 と、トランジスタのゲート電極 14 と、ゲート電極 14 のエッチングレジストであるシリコン窒化膜 15a と、ゲート電極 14 のサイドウォールであるシリコン窒化膜 15b と、トランジスタの拡散層 17 と、拡散層 17 上に形成されたコバルトシリサイド 18 と、トランジスタの上層に形成されたシリコン酸化膜 19 と、接続孔のパターンレジスト 110 と、コバルトシリサイド 18 に対して形成される接続孔 111 で構成されている。

【0007】 接続孔 111 はパターンレジスト 110 を用いて、サイドウォールであるシリコン窒化膜 15b に対してシリコン酸化膜 19 を選択的かつ異方的にエッチングして形成する。しかし、高い選択比でシリコン酸化膜 19 をエッチングできないため、シリコン窒化膜 15b がエッチングされ、接続孔 111 とゲート電極 14 間の絶縁膜であるシリコン窒化膜 15b の膜厚が不足し、誤短絡、耐圧不良が発生する。

【0008】 また、他の例として、ダマシン法を用いた多層配線の製造方法について説明する。図 6 はダマシン構造の配線部分の断面の概略を示す図である。

【0009】 図 6 の半導体装置は、シリコン酸化膜 31 と、銅配線間を分離するシリコン酸化膜 32 と、ダマシンプロセスにより形成された銅配線 33 と、銅の拡散防止層およびエッチングストップ層としてのシリコン窒化膜 39、上層のシリコン酸化膜 35 と、接続孔パターンのパターンレジスト 36 と、接続孔 37 で構成されている。

【0010】 図 6 において接続孔 37 は、パターンレジスト 36 を用いてシリコン酸化膜 35 をシリコン窒化膜 39 に対して選択的かつ異方的にエッチングし、その後、シリコン窒化膜 39 をエッチングすることで形成される。しかし、高い選択比でシリコン酸化膜 35 をエッ

3

チングできず、銅配線 33 の形成されたシリコン酸化膜 32 までエッチングして銅配線 33 の横に空隙 38 ができ、銅配線 33 の横の接続孔 37 に金属が十分に埋め込まれないといった不良が発生する。

【0011】このように、シリコン酸化膜とシリコン窒化膜の積層構造においてシリコン酸化膜を選択的にエッチングして接続孔を形成する方法では、シリコン窒化膜に対するシリコン酸化膜の選択比を十分確保できず、シリコン酸化膜のエッチングの際にシリコン窒化膜までもエッチングしてしまう可能性があり、接続孔に誤短絡や耐圧不良が生じるといった問題や、配線形成時の接続孔の金属埋め込み不良が発生するといった問題があった。

【0012】本発明はこのような点に鑑みてなされたものであり、接続孔における誤短絡、耐圧不良のない半導体装置の製造方法を提供することを目的とする。また、本発明は、配線形成時の接続孔への金属埋め込み不良のない半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明によれば、半導体装置の製造方法において、シリコン基板上に導体を形成し、シリコン基板および導体の上に炭化窒化シリコン膜を形成し、炭化窒化シリコン膜をエッチングして導体にサイドウォールを形成し、シリコン酸化膜を形成し、炭化窒化シリコン膜をエッチングストップ層として、シリコン酸化膜をエッチングして接続孔を形成することを特徴とする半導体装置の製造方法が提供される。

【0014】上記構成によれば、導体、例えばゲート電極やビット配線などに、炭化窒化シリコン膜でサイドウォールを形成してエッチングストップ層とするので、炭化窒化シリコン膜の上にシリコン酸化膜を形成し、シリコン酸化膜をエッチングして接続孔を形成する際、炭化窒化シリコン膜が十分に残り、サイドウォールの膜厚不足による誤短絡や耐圧不良を防止することができる。

【0015】また、本発明によれば、半導体装置の製造方法において、絶縁膜に溝を形成して銅配線を形成し、絶縁膜および銅配線の上に炭化窒化シリコン膜を形成し、炭化窒化シリコン膜の上にシリコン酸化膜を形成し、炭化窒化シリコン膜をエッチングストップ層として、シリコン酸化膜をエッチングして接続孔を形成することを特徴とする半導体装置の製造方法が提供される。

【0016】上記構成によれば、絶縁膜に溝を形成して銅配線を形成し、絶縁膜および銅配線の上に炭化窒化シリコン膜を形成してエッチングストップ層とするので、炭化窒化シリコン膜の上にシリコン酸化膜を形成し、シリコン酸化膜をエッチングして接続孔を形成する際、炭化窒化シリコン膜が十分に残り、銅配線の形成された絶縁膜までエッチングが進行せず、接続孔への金属埋め込み不良が発生するのを防止できる。

【0017】

4

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図 1 は本発明の実施の形態に係る接続孔形成工程の概略を示した流れ図である。

【0018】シリコン基板に形成された導体またはダマシン構造の配線の上に炭化窒化シリコン膜を形成し (S1)、炭化窒化シリコン膜をサイドウォールまたは層間絶縁膜とし (S2)、炭化窒化シリコン膜の上層にシリコン酸化膜を形成し (S3)、下層の炭化窒化シリコン膜をエッチングストップ層として、上層のシリコン酸化膜をエッチングし (S4)、接続孔を形成する (S5)。

【0019】次に、本発明の実施の形態を、トランジスタの拡散層に接続孔を接続する方法に適用した場合を例にして説明する。図 2 は半導体装置の断面の概略を示す図であり、図 2 (a) は炭化窒化シリコン膜の形成工程、図 2 (b) は炭化窒化シリコン膜のエッチング工程、図 2 (c) はシリコン酸化膜の形成と接続孔パターンの形成工程、図 2 (d) は接続孔の形成工程である。

【0020】図 2 の半導体装置は、シリコン基板 11 上に、素子間の電氣的な寄生効果を防止する素子分離膜 12 と、トランジスタのゲート絶縁膜 13 と、トランジスタのゲート電極 14 と、ゲート電極 14 のエッチングレジストであるシリコン窒化膜 15 と、ゲート電極 14 のサイドウォールである炭化窒化シリコン膜 16 と、トランジスタの拡散層 17 と、拡散層 17 上に形成されたコバルトシリサイド 18 と、トランジスタの上層に形成されたシリコン酸化膜 19 と、接続孔のパターンレジスト 110 と、コバルトシリサイド 18 に対して形成される接続孔 111 で構成されている。

【0021】図 2 (a) の工程では、シリコン基板 11 上に素子分離膜 12 を形成し、ゲート絶縁膜 13、ゲート電極 14、シリコン窒化膜 15 からなるトランジスタのゲートを形成した後、炭化窒化シリコン膜 16 を成膜する。

【0022】成膜方法としては、減圧 CVD (LP-CVD) 法により、 N_2 、 NH_3 、 $SiCl_2H_2$ を用いてシリコン窒化膜の成膜後、イオンインプラレーション法により、炭素をシリコン窒化膜中に導入し、炭化窒化シリコン膜 16 を成膜する方法がある。また、炭化窒化シリコン膜 16 の成膜方法の他の方法として、CVD 法により直接炭化窒化シリコン膜 16 を形成してもよい。

【0023】図 2 (b) の工程では、炭化窒化シリコン膜 16 を異方的にエッチングし、ゲート電極 14 の横にのみ炭化窒化シリコン膜 16 を残したサイドウォール構造を形成する。また、炭化窒化シリコン膜 16 を異方的にエッチングする際、ゲート電極 14 の横と素子分離膜 12 の上に炭化窒化シリコン膜 16 を残した構造を形成しても同様の効果を得ることが可能である。

【0024】図 2 (c) の工程では、拡散層 17、コバルトシリサイド 18 を形成した上に、シリコン酸化膜 1

5

9を成膜し、CMP（機械的化学的研磨）法を用いて、シリコン酸化膜19を平坦化した後、シリコン酸化膜19上に、パターンレジスト110を用いて、接続孔111のパターンをリソグラフィーにより形成する。

【0025】図2（d）の工程では、パターンレジスト110をマスクとしてシリコン酸化膜19をコバルトシリサイド18に達するまで異方的にエッチングし、接続孔111が形成される。

【0026】接続孔111の形成において、パターンレジスト110をマスクとして、シリコン酸化膜19をエッチングする方法としては、マグネトロン反応性イオンエッチングにより、 C_5F_8 、 O_2 、Ar ガスを用いてエッチングする方法がある。

【0027】このとき、シリコン酸化膜19の膜厚のばらつき、エッチングのばらつきからオーバーエッチングが必要となるが、炭化窒化シリコン膜16に対して高い選択比でシリコン酸化膜19がエッチングされるため、炭化窒化シリコン膜16はほとんどエッチングされず、シリコン酸化膜19のエッチング時にサイドウォールの炭化窒化シリコン膜16が十分に残っているため、接続孔111とゲート電極14間の絶縁膜である炭化窒化シリコン膜16の膜厚不足による誤短絡や耐圧不良がなく、シリコン酸化膜19をオーバーエッチングすることが可能となる。

【0028】また、上記説明においてシリコン窒化膜15を炭化窒化シリコン膜16とすることが可能であり、シリコン窒化膜15を炭化窒化シリコン膜16とすることで、ゲート電極14上に接続孔111がある場合でも、炭化窒化シリコン膜16の膜厚不足がなく、接続孔111とゲート電極14の誤短絡、耐圧不良を防止できる。

【0029】次に、本発明の実施の形態を、DRAM（Dynamic Random Access Memory）製造に適用した場合を例にして説明する。図3はDRAM製造工程における半導体装置の断面の概略を示す図である。

【0030】図3の半導体装置は、シリコン基板21上に拡散層22と、拡散層22とビット線の絶縁膜であるシリコン酸化膜23と、ビット線24と、ビット線24のエッチングレジストであるシリコン窒化膜25と、ビット線24のサイドウォールである炭化窒化シリコン膜26と、ビット線24の上層に形成されたシリコン酸化膜27と、接続孔のパターンレジスト28と、ビット線24上に形成するキャパシタと拡散層22とを接続するための接続孔29および接続孔210で構成されている。

【0031】ビット線24上にキャパシタが形成される構造の場合に必要なキャパシタと、シリコン基板21上の拡散層22を接続する接続孔29、接続孔210の形成において、ビット線24の横に炭化窒化シリコン膜26からなるサイドウォールを形成し、接続孔29お

6

よび接続孔210とビット線24が誤短絡、耐圧不良を起こすのを防止することができる。

【0032】上記のように、ゲート電極14およびビット線24のサイドウォールを炭化窒化シリコン膜16および炭化窒化シリコン膜26から形成することにより、接続孔111、接続孔29、接続孔210形成のためのシリコン酸化膜19、シリコン酸化膜23、シリコン酸化膜27のエッチングの際、サイドウォールである炭化窒化シリコン膜16および炭化窒化シリコン膜26の膜厚不足が起こらず、誤短絡や耐圧不良がなくなる。

【0033】次に、本発明の実施の形態を、ダマシン法を用いた多層配線の製造に適用した場合を例にして説明する。図4はダマシン構造の配線部分の断面の概略を示す図であり、図4（a）は銅配線上への炭化窒化シリコン膜の形成工程、図4（b）はシリコン酸化膜の形成と接続孔パターンの形成工程、図4（c）は接続孔の形成工程である。

【0034】図4の半導体装置はシリコン酸化膜31と、銅配線間を分離するシリコン酸化膜32と、ダマシン構造の銅配線33と、銅の拡散防止層およびエッチングストップ層としての炭化窒化シリコン膜34、炭化窒化シリコン膜34の上層のシリコン酸化膜35と、接続孔パターンのパターンレジスト36と、接続孔37で構成されている。

【0035】図4（a）の工程では、下層のシリコン酸化膜31上に、シリコン酸化膜32を成膜し、ダマシン法により銅配線33を形成した後、炭化窒化シリコン膜34を成膜する。成膜方法としては、プラズマCVD法により、 N_2 、 NH_3 、 $SiH(CH_3)_3$ ガスを用いて成膜する方法がある。また、炭化窒化シリコン膜34の成膜方法の他の例としては、減圧CVD（LP-CVD）法により、 N_2 、 NH_3 、 $SiCl_2H_2$ を用いてシリコン窒化膜の成膜後、イオンインプラテーション法により、炭素をシリコン窒化膜中に導入し、炭化窒化シリコン膜34を成膜する方法や、CVD法により直接炭化窒化シリコン膜34を形成する方法がある。

【0036】この炭化窒化シリコン膜34は、エッチングストップ層として機能するだけでなく、銅配線33の銅のシリコン酸化膜35中への拡散による耐圧不良を防止する拡散防止層としての機能を備える。

【0037】図4（b）の工程では、炭化窒化シリコン膜34の上層にシリコン酸化膜35を成膜し、パターンレジスト36を用いて接続孔37のパターンをリソグラフィーにより形成する。

【0038】図4（c）の工程では、パターンレジスト36を用いて、シリコン酸化膜35を炭化窒化シリコン膜34に達するまで、異方的にエッチングする。シリコン酸化膜35の膜厚のばらつき、およびシリコン酸化膜35のエッチング時のばらつきから、シリコン酸化膜35のエッチング時にオーバーエッチングが必要となる

8

*【0043】また、ダマシン構造の配線を形成した絶縁膜の上に炭化窒化シリコン膜を形成し、炭化窒化シリコン膜をエッチングストップ層として接続孔を形成するようにしたので、接続孔の金属埋め込み不良を防止できるようになり、さらに、炭化窒化シリコン膜を銅配線の銅の拡散防止層として利用できる。

【0044】これにより、半導体装置の高集積化が可能となり、高品質で信頼性の高い半導体装置の製造が可能となる。

【図面の簡単な説明】

【図２】本発明の実施の形態に係る半導体装置の断面の概略を示す図である。

【図４】本発明の実施の形態に係るダマシン構造の配線部分の断面の概略を示す図である。

【図5】半導体装置の断面の概略を示す図である。

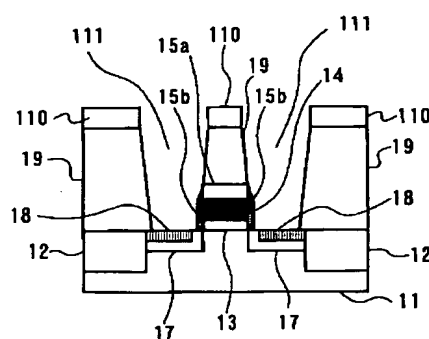
【図6】 ダマシン構造の配線部分の断面の概略を示す図である。

【符号の説明】

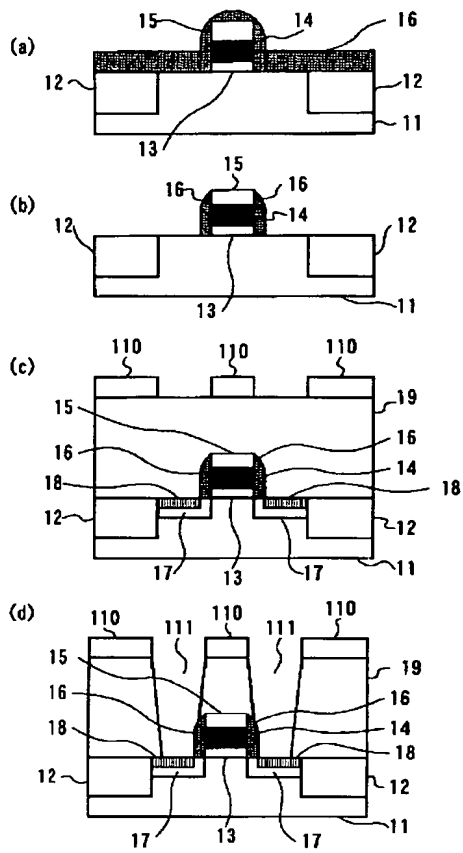
1 1、2 1……シリコン基板、1 2……素子分離膜、1
3……ゲート絶縁膜、1 4……ゲート電極、1 5 a、1
5 b、2 5、3 9……シリコン窒化膜、1 6、2 6、3
4……炭化窒化シリコン膜、1 7、2 2……拡散層、1
8……コバルトシリサイド、1 9、2 3、2 7、3 1、
3 2、3 5……シリコン酸化膜、2 4……ビット線、1
1 0、2 8、3 6……パターンレジスト、1 1 1、2
9、2 1 0、3 3……銅配線、3 7……接続孔、3 8…
…空隙

【発明の効果】以上説明したように本発明では、炭化窒化シリコン膜によりサイドウォールを形成し、炭化窒化シリコン膜をエッチングストップ層として接続孔を形成するようにしたので、サイドウォールの膜厚不足がなく、接続孔とゲート電極や配線間との誤短絡や耐圧不良を防止できる。

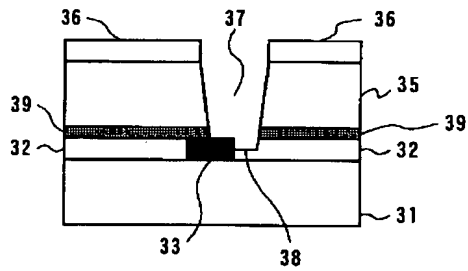
【图 5】



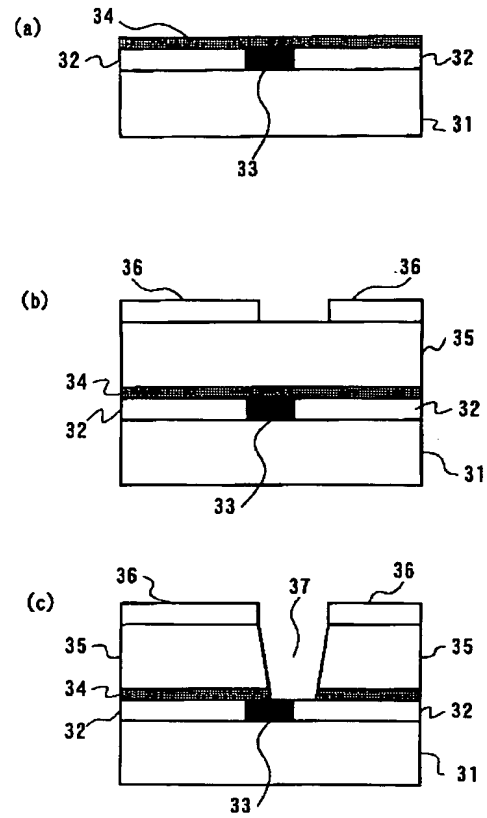
【図2】



【図6】



【図4】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 27/10

テーマコード (参考)

6 2 1 Z
6 8 1 Z

F ターム (参考) 4M104 AA01 BB04 BB20 DD04 DD08
DD16 DD17 DD72 EE05 EE09
EE12 EE17 GG16 HH20
5F033 KK01 KK11 KK25 MM01 NN40
QQ09 QQ13 QQ16 QQ25 QQ28
QQ30 QQ37 QQ48 QQ60 QQ61
RR04 RR05 RR06 SS11 SS13
SS15 TT02 TT08 XX00 XX28
XX31
5F083 AD21 AD48 AD49 GA24 JA35
JA56 MA06 MA17 PR03 PR21